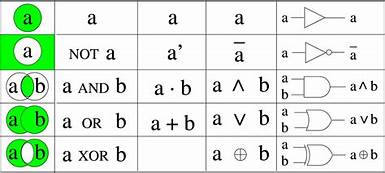
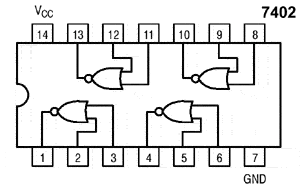
Porte logiche:caratteristiche elettriche



Le porte logiche non sono circuiti singoli ma si trovano sottoforma di integrati come in figura:



Si dividono in due famiglie fondamentali:

* Famiglie bipolari TTL, ECL

Utilizzano transistor bipolari e sono caratterizzati da:

* Tensione di alimentazione costante con tolleranza 10%
* **Velocità di commutazione molto elevata**
* Dissipazione di potenza relativamente elevata
* Scarsa sensibilità ai disturbi
* Densità di impaccamento non elevata
* Famiglie unipolari CMOS HC (High Speed CMOS ), CMOS AC ( Advanced CMOS)

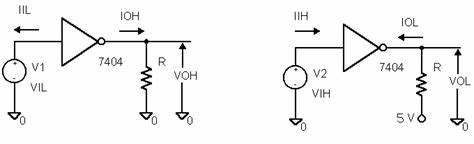
Utilizzano transistor a effetto di campo MOS ed in particolare I CMOS

* + Esteso campo di variabilità di alimentazione in continua 3-18 V
  + Velocità di commutazione modesta
  + Dissipazione di potenza contenuta in assenza di commutazioni (pochi microampere)
  + Alta instabilità ai disturbi
  + **Alta intensità di impacchettamento**

Recentemente sono introdotte le famiglie TTL (Transistor Transistor Logic Low Schottky)che pur mantenendo elevatissime velocità di commutazione, hanno un consumo ridotto.

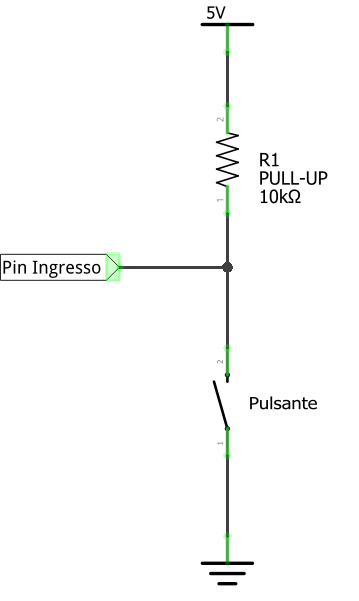
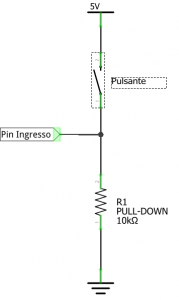
**Caratteristiche elettriche**

Alimentazione indicata con Vcc o Vdd

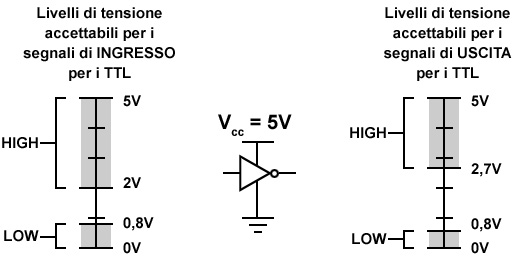
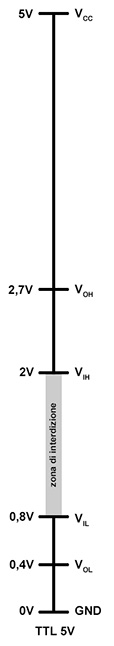
****

* **Livelli logici in ingresso**
  + **VIL** Tensione in ingresso a livello logico basso
  + **IIL** Corrente in ingresso a livello logico basso
  + **VIH** Tensione in ingresso a livello logico alto
  + **IIH** Corrente in ingresso a livello logico alto
* **Livelli logici in uscita**
  + **VOL Tensione in uscita a livello logico basso**
  + **IOL Corrente in uscita a livello logico basso**
  + **VOH Tensione in uscita a livello logico alto**
  + **IOH Corrente in uscita a livello logico alto**
* Il componente che genera in uscita il livello logico alto è detto di pull-up; il componente che genera in uscita il livello logico basso è detto di pull-down. I componenti di pull-up o pull-down possono essere o resistivi o di tipo transistor. Alcuni componenti logici non hanno elementi di pull-up ma si possono creare tramite resistori esterni collegati all’alimentazione. Tali elementi di pull-up sono detti passivi.

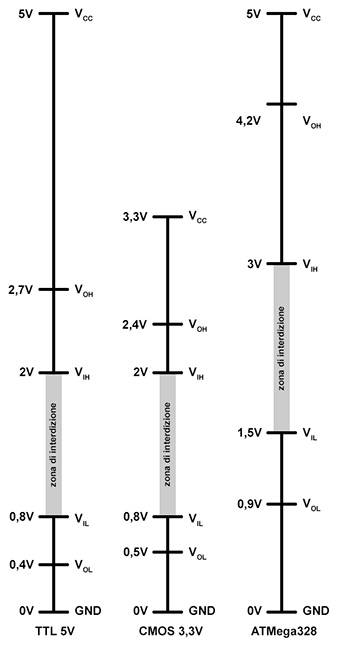
Si inserisce una piccola resistenza tra il pin di ingresso e la tensione di riferimento, per fare in modo che all’ingresso sia sempre presente un segnale certo. Se la resistenza viene inserita tra il pin e la **Vdd** si parlerà di resistenza di pull-up, se invece viene inserita tra il pin e la **Vss** (normalmente GND o 0V) si parlerà di resistenza di pull-down.



Livelli logici e tensione

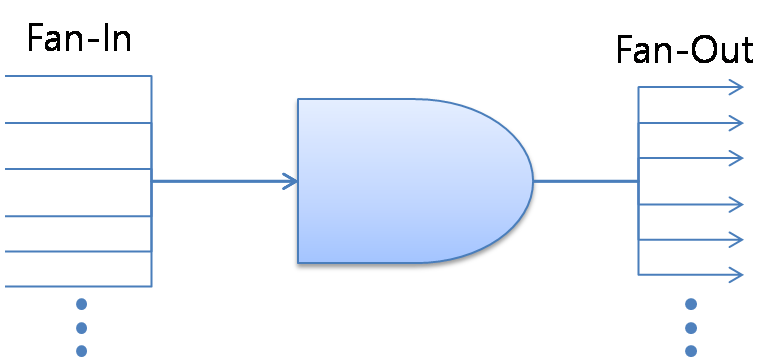


Confronto tra famiglie logiche e il microcontrollore ATMEGA328



* Capacità di pilotaggio

**Fan-out** è il massimo numero di porte logiche che possono essere collegate in uscita a una singola porta

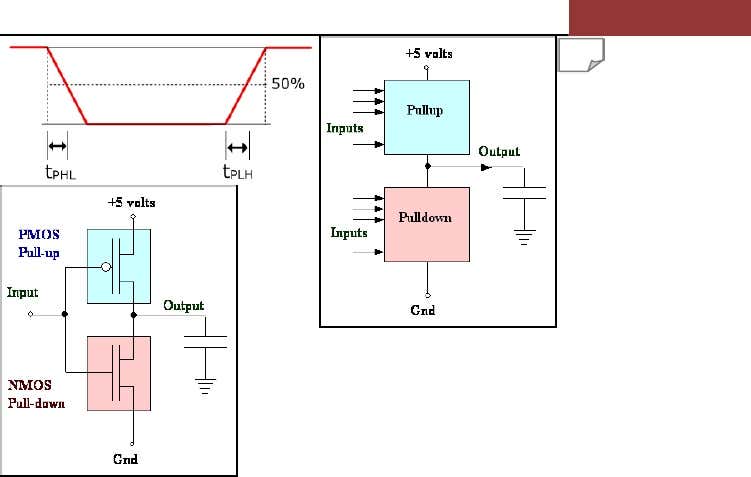


Si definisce fan-in la capacità di un circuito logico di accettare in ingresso una o più informazioni logiche da altri circuiti

(fan=ventaglio)

**Tempi di commutazione**

La commutazione da livello logico alto a livello logico basso e viceversa non è immediata, ci sono dei tempi che dipendono dalle caratteristiche costruttive delle porte logiche



TpHL= tempo di commutazione da livello logico alto a livello logico basso

TpLH= tempo di commutazione da livello logico basso a livello logico alto

Il tempo di ritardo propagazione del segnale tpd è dato dalla media

Tpd=( TpHL+ TpLH)/2

La famiglia TTL e CMOS sono suddivise in più serie secondo le seguenti caratteristiche:

* Ritardo di propagazione
* Potenza dissipata
* Insensibilità ai disturbi
* Fattore di merito=potenza dissipata\*tempo di propagazione

Sottofamiglie TTL:

* 74 standanrd
* 74L Low Power
* 74S Schotlky
* 74LS Low power Schotlky
* 74H High speed
* 74ALS advanced Low power Schotlky
* 74 AS advanced Schotlky

Per ottenere una densità maggiore di transistor su un integrato, si utilizza la tecnica CMOS. Sottofamiglie CMOS:

* 4008 standard
* 74HC High speed CMOS
* 74HCT HC compatibile TTL
* 74AC Advanced CMOS
* 74ACT AC compatibile TTL
* 74ALVT Low Voltage

